

引用格式:方贤朋,孙业钦,王兴华. 一种低功耗高效率 DC-DC 转换器的设计实现[J]. 微电子学与计算机, 2019, 36(12): 69-71. [FANG X P, SUN Y Q, WANG X H. A low power high efficiency DC-DC converter[J]. Microelectronics & Computer, 2019, 36(12): 69-71.]

一种低功耗高效率 DC-DC 转换器的设计实现

方贤朋, 孙业钦, 王兴华

(北京理工大学 信息与电子学院 北京市硅基高速片上系统工程技术研究中心, 北京 100081)

摘 要: 开关变换器由于其低功耗, 输出电压可变等优势, 广泛应用于电源管理领域, 然而随着工艺的发展, 为了提高变换器的转换效率, 使用动态偏置技术与死区时间控制技术, 结合一款基于电压模式的 BUCK DC-DC 转换器进行仿真验证, 降低开关变换器中功率管的导通损耗与交叠损耗, 降低整体功耗, 提高整体转换效率, 实现了输入 3.6V, 负载电流 200mA 情况下最优, 转换效率为 91.67%, 改善了性能指标.

关键词: 开关变换器; 动态偏置技术; 死区时间控制技术; 指标

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2019)12-0069-03

A low power high efficiency DC-DC converter

FANG Xian-peng, SUN Ye-qin, WANG Xing-hua

(Beijing Engineering Research Center of Silicon-based High-speed system-on-chip,
School of Information and Electronics, Beijing Institute of Technology, Beijing 100081, China)

Abstract: Switching converters are widely used in power management because of their low power consumption and variable output voltage. However, with the development of technology, the conversion efficiency of converters is improved. using dynamic bias technology and dead-time control technology, reducing the conduction loss and overlapping loss of power transistors in switching converters, reducing the overall power consumption and improving the overall conversion efficiency. A buck DC-DC converter based on voltage mode is simulated and verified. The optimal input current is 3.6V and the load current is 200mA. The conversion efficiency is 91.67%. The performance index is enhanced.

Key words: switching converter; dynamic bias technology; dead time control technology; inde

1 引言

随着当今电子信息产业的逐步发展, 电子相关产品进入生活的方方面面. 国外开发电源管理芯片的厂商很多, 他们的产品都已经非常成熟, 能够提供高质量、全系列的电源管理芯片, 包括升压、降压、升降压, 固定、可调输出, 不同负载能力的芯片. 开关变换器的优化方式一般可以从功率拓扑与控制理论两个方面来入手, 在本设计中, 通过动态偏

置电压控制技术与死区时间控制技术的使用, 可以显著降低整体 BUCK 结构 DC-DC 转换器整体的功耗, 提升转换效率^[1]. 本文基于 TSMC90nm 工艺, 在基于电压控制模式 VCM 的 Buck 结构 DC-DC 转换器上添加动态偏置模块以及死区时间控制模块, 降低系统功耗, 提高整体转换效率. 并且对系统整体版图进行绘制, 做出后仿验证.

2 系统构成

为了避免高低功率管之间的传导,一般在一个管的传导和另一个管的断之间引入延迟,这种延迟时间称为变换器的死区时间,在同步 Buck DC/DC 变换器中,在死区时间内,续流电流一直通过与低端 MOSFET 并联的肖特基二极管续流,造成较大的功率损失.因此,有必要优化这个死区时间^[2].

本设计的低功耗高效率降压型 Buck DC-DC VCM 的基本结构如图 1 所示,主要包括驱动电路模块、PWM 产生模块、LC 输出滤波器部分和 PID 补偿网络.

脉冲宽度调制(PWM)作为现代电路的主要控制方法之一,通过固定控制信号的频率,调整开关的状态,调整控制信号占空比,实现功率开关状态的控制.选择 PWM 控制模式,通过固定开关频率,可以实现 LC 滤波器的参数优化,保证输出电压的固定的纹波.本设计拟采取的开关频率为 10 MHz.

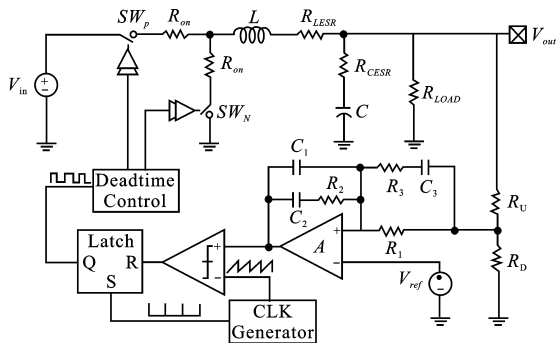


图 1 电压控制模式基本结构框图

在本设计中,动态偏置电路模块以及死区时间控制模块处于驱动开关部分,下面将分别介绍两个模块.

3 动态偏置电路模块

动态偏置电路可以提高整体模块中功率管的过驱动电压,整体导通电阻被降低,效率得到了提升,其结构如图 2 所示:

共栅管动态偏置电路由占空比判决电路、缓冲电路、3 阶 RC 滤波器电路和驱动电路构成.动态偏置电路输出信号连接功率管的栅极,无需提供较大的电流,所以在设计输出驱动电路之时可以采用低功耗设计,以降低整体电路的功耗,提高电路效率.

当输入电压为 V_{in} 时,达到稳态,此时占空比为 D ,则工作原理如下:

当输入电压 $V_{in} = 5 \text{ V}$ 时,即输入电压高于最优

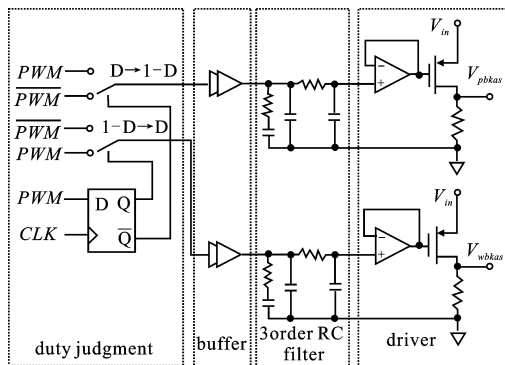


图 2 共栅管动态偏置电路

输入情况下,此时占空比 D 较小,PMOS 共栅管的栅极偏置电压 $V_{pbias} = V_{in} D = 1.8 \text{ V}$,使用此时的电压输出值对 PMOS 共栅管的栅极进行驱动,可保证其栅-源电压约为 $V_{in} - V_{pbias} = 3.2 \text{ V}$.

对于 NMOS 共栅管来说栅极偏置电压同理 $V_{nbias} = V_{in} (1 - D) = 3.2 \text{ V}$,亦可以保证其最大的过驱动电压.

当输入电压 $V_{in} = 2.5 \text{ V}$ 时,此时的占空比 D 较大,PMOS 共栅管的栅极偏置电压 $V_{pbias} = V_{in} (1 - D) = 0.7 \text{ V}$,用此电压驱动 PMOS 共栅管的栅极,可保证其栅源电压约为 $V_{in} - V_{pbias} = 1.8 \text{ V}$.

对于 NMOS 共栅管栅极偏置电压来说,同理可以计算 $V_{nbias} = V_{in} D = 1.8 \text{ V}$,亦可以保证其最大的过驱动电压.

动态偏置电路中,各个模块功能如下:

占空比判决电路完成检测环节,检测 PWM 波形的占空比 D 是否大于 50%,根据电路输出的检测结果选择恰当的信号,保证电压输入值变化时,PMOS 和 NMOS 的功率管具有最大的栅极-源极电压.

缓冲电路用来保证信号具有一定的驱动能力,使其可以驱动后级的 3 阶 RC 低通滤波器,经过滤波器之后的模拟电压,输入驱动电路,是之可以对功率管模块的共栅功率管进行有效的驱动.

采用动态偏置电路的优点是,保证了功率开关管最大的过驱动电压的同时,省去了固定偏置电路需要的多种参考电压问题,由 PWM 数字波形到模拟电压的转换,原理简单也便于设计,应用 CMOS 工艺,也可以保证较小的版图面积.

基于 TSMC90nm 的标准 CMOS 工艺,对本设计的动态偏置电路进行后仿,得到仿真结果.如图 3,图 4 所示.可以看到,功率管的栅极电压随着输入的改变而改变,实现了可允许范围内的最佳导通.

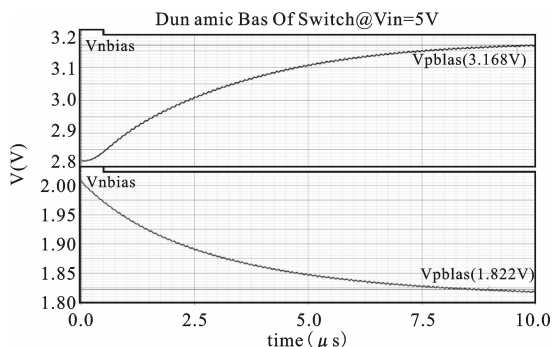


图 3 功率管栅极偏置电压仿真波形

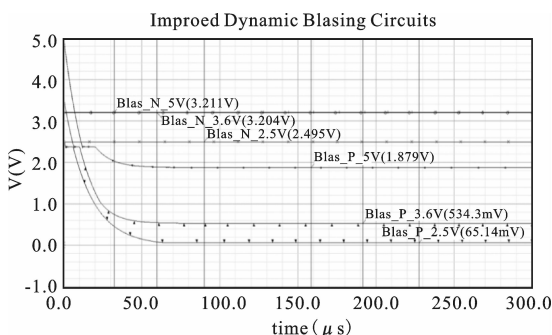


图 4 不同输入情况下偏置电压电压仿真波形

4 死区时间控制模块

为降低系统的整体功耗,本设计采用同步整流技术进行功率驱动模块的设计.

由于电路中非理想特性以及传输延时的存在, 导致互补的功率管存在同时导通的可能性. 这样, 在系统的最高电位与最低电位之间, 就会形成一条低阻道路, 产生极大的功耗, 甚至烧毁功率管^[3-4].

为了避免这一现象的发生,本文设计死区时间控制模块,对电路中的死区时间进行控制.原理如图5所示.

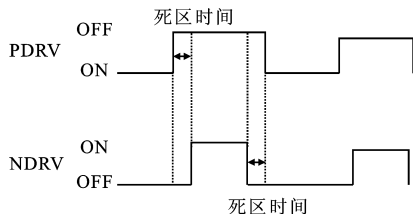


图 5 死区时间示意图

本设计采用添加逻辑门延迟的方式来控制开关管驱动信号中可能发生的死区时间,模块的结构如图 6 所示.

如果 PWM 为高电平($PWM=1$),无论 $NDRV=0$ 或 $=1$, $PDRV$ 都满足输出为 1,关闭 PMOS 开

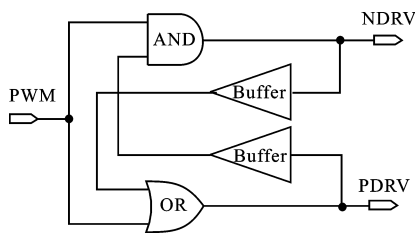


图 6 死区时间控制电路图

关管. PDRV=1 后,在驱动电路的延时之后使得 NDRV 变为 1,开启 NMNO 同步管. 因此 PDRV 和 NDRV 再变成 1 之间存在死区时间^[5].

根据死区时间控制电路的仿真结果可知,在 10 MHz 的工作频率下,在 PMOS 关闭,NMOS 管开启之间的死区时间为 1.186 ns;在 NMOS 管关闭,PMOS 管开启之间的死区时间为 873 ps. 整体死区时间的仿真值约为 2 ns,整体周期占比 2%,可以显著降低交叠损耗,提高整体系统效率.

5 仿真结果及结论

在开关变换器中,系统整体功耗主要由导通损耗以及驱动损耗构成,两类损耗值可以分别由系统指标计算得出。

在本次设计中,选择 PMOS 尺寸为 $W_p \approx 36\ 000\ \mu\text{m}$ 、 $W_n \approx 12\ 000\ \mu\text{m}$,可以求出驱动损耗 P_{gate} :

$$P_{gate} = \frac{\epsilon_{ax}}{t_{ax}} \cdot (W_p + W_n) \cdot L \cdot V_m^2 \cdot f_{sw} =$$

$$10.2034 \text{ mW} \quad (1)$$

忽略次要功耗, Buck DC-DC 转换器总体损耗情况随负载电流变化情况表 1 所示.

本文设计一款基于电压控制模式的 DC-DC 转换器,使用动态偏置技术降低开关功率管的导通损耗,使用死区时间控制技术降低电路交叠损耗,进而降低整体损耗,提升电路转换效率,是之在输入电压 3.6 V,负载电流 200 mA 时达到最优输出,转换效率为 91.67%,与同工艺下其他系统转换效率相比较佳。

表 1 Buck DC-DC 转换器损耗随负载电流变化情况

I_L (mA)	P_{gate} (mW)	P_c (mW)	P_q (mW)	P_{loss} (mW)	P_{out} (mW)	Efficiency (%)
0.00	10.20	0.01	1.00	11.21	0.00	0.00
100.00	10.20	6.60	1.00	17.81	180.00	91.00
200.00	10.20	21.51	1.00	32.71	360.00	91.67
300.00	10.20	48.04	1.00	59.25	540.00	90.11
400.00	10.20	82.84	1.00	94.05	720.00	88.45
500.00	10.20	129.75	1.00	140.95	900.00	86.46
600.00	10.20	186.38	1.00	197.58	1080.00	84.53

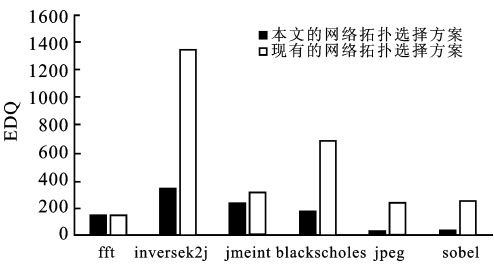


图 4 网络拓扑选择方案对比

征参数可以有效反映程序的近似敏感特性,本文提出了以体系结构特征参数为指导的近似计算技术,通过机器学习算法分析程序的体系结构特征参数来判定其近似敏感特性,并根据程序的近似敏感特性给出最佳近似程度.实验结果证明本文提出的方案能够在保证输出精度的同时优化系统能效性.

参考文献:

[1] KAHNG A B, KANG S. Accuracy-configurable adder for approximate arithmetic designs[C]// Proceedings of the 49th Annual Design Automation Conference, USA, California; ACM, 2012; 820-825.

[2] HASHEMI S, ANTHONY N, TANN H, et al. Understanding the impact of precision quantization on the accuracy and energy of neural networks[C]//Proceedings of the Conference on Design, Automation & Test in Europe, Switzerland, Lausanne; EDAA, 2017: 1478-1483.

[3] ESMAEILZADEH H, SAMPSON A, CEZE L, et al. Neural acceleration for general-Purpose approximate programs[J]. IEEE Micro, 2013, 33(3):16-27.

[4] CHIPPA V K, CHAKRADHAR S T, ROY K, et al. Analysis and characterization of inherent application resilience for approximate computing[C]// Proceedings of the 50th Annual Design Automation Conference, USA, Texas; ACM, 2013;1-9.

[5] GRIGORIAN B, REINMAN G. Dynamically adaptive and reliable approximate computing using light-weight error analysis[C]// Adaptive Hardware and Systems, UK, Leicester; IEEE, 2014;248-255.

[6] VENKATAGIRI R, MAHMOUD A, HARI S K S, et al. Approxilyzer: Towards a systematic framework for instruction-level approximate computing and its application to hardware resiliency[C]// The 49th Annual IEEE/ACM International Symposium on Microarchitecture, Taiwan, Taipei;IEEE, 2016;1-14.

[7] 张迅珍, 梁青, 李涛. RV32I 控制单元设计与实现[J]. 微电子学与计算机,2018, 35(3):74-78.

[8] 王珍珍,杨志涛,王晶,等. 基于 BCH 算法的高速缓存纠错检错方案研究[J]. 微电子学与计算机,2016, 33(11):124-128.

作者简介:

梁伟伟 男,(1992-),硕士研究生.研究方向为计算机体系结构.

王 晶(通讯作者) 女,(1982-),副研究员,硕士生导师.研究方向为计算机体系结构. E-mail:jwang@cnu.edu.cn

王 旭 男,(1993-),硕士研究生.研究方向为计算机体系结构.

刘鑫培 男,(1995-),学士.专业方向为计算机科学与技术.

张伟功 男,(1967-),研究员,博士生导师.研究方向为高可靠嵌入式系统.

(上接第 71 页)

参考文献:

[1] 方晓斌. 具有快速瞬态响应的电压模式 Buck 变换器设计[D]. 合肥:合肥工业大学,2016.

[2] 解光军,程心. DC/DC 开关变换器的建模与设计[M]. 北京:科学出版社,2015.

[3] 杨令. DC-DC 变换器驱动优化设计与稳定性研究[D]. 西安:西安电子科技大学,2015.

[4] LIU J M, WANG P Y, KUO T H. A Current-Mode DC-DCBuckConverter with Efficiency-Optimized Frequency Control and Reconfigurable Compensation[J]. IEEE Trans Power Electron,2012,27(2):869-880.

[5] XIAO J W, ANGEL V PETERCHEV, ZHANG J H, et al. A 4-ua quiescent-current dual-mode digitally controlled buck converter IC for cellular phone applications[J]. IEEE J Solid-State Circuits, 2004, 39(1): 2342-2348.

作者简介:

方贤朋 男,(1994-),硕士研究生.研究方向为微电子与集成电路设计.

王兴华(通讯作者) 女,(1983-),讲师,硕士生导师.研究方向为微电子与集成电路. E-mail:89811@bit.edu.cn